

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)**End of Result Set**☐ [Generate Collection](#) [Print](#)

L3: Entry 1 of 1

File: JPAB

Apr 11, 1990

PUB-NO: JP402098898A

DOCUMENT-IDENTIFIER: JP 02098898 A

TITLE: DIODE READ-ONLY MEMORY

PUBN-DATE: April 11, 1990

INVENTOR-INFORMATION:

NAME

COUNTRY

SATO, KIMITOSHI

ISHIBASHI, KIYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP63251122

APPL-DATE: October 5, 1988

US-CL-CURRENT: 365/105

INT-CL (IPC): G11C 17/06

ABSTRACT:

PURPOSE: To increase storable data capacity by controlling and setting the level of break-down voltage every Zener diode means of each memory cell, and providing a means to detect the level.

CONSTITUTION: A row decoder 2b, Zener diodes 3 to 5 respectively connected between a bit line 24 and a word line 25 so as to be inversely biased, and sense amplifiers 8 connected to the Zener diodes 3 to 5 respectively constituting single memory cell through the bit line 24 are provided. In response to the voltages successively applied from a row decoder 2b, the Zener diodes 3 to 5 where the break-down voltages VZ different in level are provided individually are successively energized to the selected word line 25, and to which voltage level the Zener diode is responded and energized is detected by a sensing amplifier 8. Thus, the storable data capacity can be increased.

COPYRIGHT: (C) 1990, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑫ 公開特許公報(A) 平2-98898

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月11日

G 11 C 17/06

7341-5B G 11 C 17/06

D

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 ダイオード読出専用メモリ装置

⑯ 特 願 昭63-251122

⑰ 出 願 昭63(1988)10月5日

⑱ 発 明 者 佐 藤 公 敏 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 石 橋 清 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ダイオード読出専用メモリ装置

2. 特許請求の範囲

各々がワード線とビット線間に逆バイアスされるように接続されたツェナーダイオード手段によって構成された複数のメモリセルと、

前記メモリセルのツェナーダイオード手段ごとにブレイクダウン電圧を制御して3以上のレベルのいずれかに設定する電圧設定手段と、

前記ワード線およびビット線を介して前記複数のメモリセルに接続され、前記ツェナーダイオード手段にレベルの異なる逆バイアス電圧を与えることにより、設定されたブレイクダウン電圧のレベルを検出する電圧検出手段とを含む、ダイオード読出専用メモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、一般にダイオード読出専用メモリ装置に関し、特に、ブレイクダウン電圧が制御さ

れたツェナーダイオードを用いたダイオード読出専用メモリ装置に関する。

〔従来の技術〕

第4図は、従来のダイオード読出専用メモリ装置（以下ROMという）を示す回路図である。このダイオードROMは、たとえば、「VLSIシステムデザイン」と題された本（S. Morog a 著、1982年、John Wiley & Sons 社）に記載されている。

第4図を参照して、このダイオードROMは、ロウアドレス信号RA0ないしRAnを受けるように接続されたロウデコード2aと、各ビット線24およびワード線25に接続された記憶用ダイオード23と、各ダイオード23にビット線24を介して接続されたセンスアンプ8とを含む。各ダイオード23はメモリセルを構成する。各ワード線25は、ロウデコード2aに接続され、ロウデコード2aにより選択される。各センスアンプ8は、端子9を介して外部から与えられるチップ選択信号CEを受けるように接続される。このダ

イオードROMは、ワード単位でメモリセルに書込まれた信号を読出すもので、センスアンプ8により読出されたデータ信号D0ないしDmを出力する。

〔発明が解決しようとする課題〕

第4図に示した従来のダイオードROMでは、記憶すべきデータ信号の書込がダイオード23のカソードとビット線24との接続によりなされる。読出動作において、ロウデコード2aがロウアドレス信号RA0ないしRAnに应答して高レベルの電圧をワード線25の1本に与える。センスアンプ8は、各ダイオード23に流れる電流を検出することにより、書込まれたデータ信号を読出し出力する。

このように、従来のダイオードROMでは、記憶用のダイオード23の接続状態により、1つのメモリセルに“1”または“0”の2値のデータ信号が書込まれ、記憶可能なデータ容量が少なかった。

この発明は、上記のような課題を解決するため

になされたもので、記憶可能なデータ容量が増加されたダイオード読出専用メモリ装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかるダイオード読出専用メモリ装置は、各々がワード線とビット線との間に逆バイアスされるように接続されたツェナーダイオード手段によって構成された複数のメモリセルと、ツェナーダイオード手段ごとにブレイクダウン電圧を制御して3以上のレベルのいずれかに設定する電圧設定手段と、ツェナーダイオード手段にレベルの異なった逆バイアス電圧を与えることにより設定されたブレイクダウン電圧のレベルを検出する電圧検出手段とを含む。

〔作用〕

この発明におけるダイオード読出専用メモリ装置では、ツェナーダイオード手段がメモリセルとして設けられている。記憶すべきデータ信号の書込はツェナーダイオード手段ごとにブレイクダウン電圧のレベルを制御して設定することによりな

される。ブレイクダウン電圧をメモリセルごとに3以上のレベルのいずれかに設定し、設定したブレイクダウン電圧のレベルを検出することができるので、記憶可能なデータ容量が増加される。

〔発明の実施例〕

第1図は、この発明の一実施例を示すツェナーダイオードを用いた読出専用メモリ（以下ROMという）の回路図である。第1図を参照して、このダイオードROMは、ロウアドレス信号RA0ないしRAnを受けると接続されたロウデコード2bと、各々がビット線24とワード線25との間に逆バイアスされるように接続されたツェナーダイオード3、4、および5と、ビット線24を介してツェナーダイオードに接続されたセンスアンプ8とを含む。各々のツェナーダイオードがそれぞれ1つのメモリセルを構成する。ツェナーダイオード3、4、および5は、各々ブレイクダウン電圧Vzが5、6、および7Vに設定されている。このダイオードROMは、端子9を介して外部から与えられるチップ選択信号CEに应答

して、メモリセルに記憶されたデータ信号をワード単位で読出すものである。

次に、読出動作について説明する。

まず、端子9を介して高レベルのチップ選択信号CEがセンスアンプ8に与えられ、センスアンプ8が活性化される。ロウデコード2bは、ロウアドレス信号RA0ないしRAnに应答してワード線25のうちの1本を選択する。このとき、選択されたワード線25にロウデコード2bから4、5ないし7、5Vの電圧が順に与えられる。この電圧に应答して異なったレベルのブレイクダウン電圧Vzが設定されたツェナーダイオード3、4、および5が順次導通し、センスアンプ8により選択されたワード線25に接続された各ツェナーダイオードがどの電圧レベルに应答して導通したかが検出される。したがって、各ツェナーダイオードに設定されていたブレイクダウン電圧Vzが検出され、その結果、各メモリセルにストアされていたデータ信号が読出されることになる。

第2図は、第1図に示されたダイオードROM

中で使用されるメモリセル、すなわち、ツェナーダイオードの構造を示す断面図である。第2図を参照して、このツェナーダイオードはバイポーラIC中で縦型npnトランジスタのエミッタとベースとを利用して形成されたものである。p型シリコン基板10上にエピタキシャル成長によりn型エピタキシャル層11が形成される。この層11中に選択的にボロンB等を熱拡散することによりp型分離層12が形成される。分離層12はn型エピタキシャル層11中に形成される半導体素子の素子分離を行なう。

また、分離層12間のn型エピタキシャル層11の上層部に広くボロンイオンB⁺などが選択的に注入して拡散され、p型ベース層13が形成される。さらに、p型ベース層13の一部分に高濃度のボロンB等を選択的に熱拡散することにより、p⁺型拡散層14が形成される。p⁺型拡散層14は、p型ベース層13と後述する金属配線17とのコンタクト抵抗を減じるために形成される。p型ベース層13の上層部にヒ素イオンAs等が

選択的に注入され、拡散されてn型エミッタ層15が形成される。このn型エミッタ層15は、その底面および側面においてp型ベース層13とpn接合を形成する。

酸化膜16がn型エピタキシャル層11の上面に形成され、この酸化膜16中に設けられたコンタクトホールを介して金属配線17がn型エミッタ層15およびp⁺型拡散層14と電気的に接続される。プラズマ酸化膜18は250ないし400℃下のプラズマCVD法により、金属配線17と酸化膜16の上に形成される。プラズマ酸化膜18は耐湿性が高い。

一般に、pn接合間の空乏層の幅Wおよびpn接合にかかる電界εは、pn接合が階段接合のとき、次のように表わされる。

$$W = \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{N_a + N_d}{N_a \cdot N_d} (V_{bi} + V_r)} \dots (1)$$

$$\epsilon \propto V/W \dots (2)$$

ここで、qは電荷量、N_aはアクセプタ濃度、N_dはドナー濃度、ε_sはシリコンの誘電率、V_b

iはpn接合の拡散電圧（ビルトイン電圧）、V_rは逆方向電圧である。

電界εが所定レベル（約10⁵ V/cm程度）を越えるとツェナー降伏が起こる。式（1）および（2）より明らかなように、不純物濃度N_aおよびN_dが高いほど空乏層の幅Wが狭くなり、同じレベルの逆方向電圧V_rに対してpn接合にかかる電界εが高くなる。すなわち、不純物濃度N_aおよびN_dの高いpn接合ほどツェナー降伏が生じやすくなる。

第2図に示されたツェナーダイオードでは、比較的浅いp型ベース層13およびn型エミッタ層15が形成されているので、不純物濃度N_aおよびN_dが最大値となる領域は、酸化膜16直下の深さ0の領域である。このため、式（1）から、深さ0近くのp型ベース層13とn型エミッタ層15の各側面間のpn接合部での空乏層の幅が最も狭くなる。

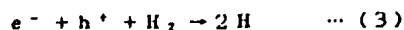
したがって、深さ0付近のpn接合部の空乏層に約10⁵ V/cm以上の逆方向電界が印加され

るようにp型ベース層13とn型エミッタ層15との間に電圧を与えると、pn接合部においてツェナー降伏が生じる。

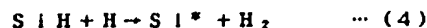
一方、第2図に示されたような構造を持つツェナーダイオードに10V程度の逆方向の高電圧を印加すると、ブレイクダウン電圧V_zが上昇する。その原因は以下のように考えられる。すなわち、p型ベース層13とn型エミッタ層15との間に約10Vの逆方向の電圧が与えられると、酸化膜16直下のp型ベース層13およびn型エミッタ層15の各側面間のpn接合部で最も高い電界が生じる。この高電界により、電子および正孔（以下これらをホットキャリアという）が移動して、高エネルギーを有するホットキャリアが酸化膜16中に注入される。

酸化膜16上に形成されているプラズマ酸化膜18はパッシベーション効果が優れているため、ICの最終保護膜として不可欠な絶縁膜であるが、比較的低温で製造されるため酸化膜18中に多量の水素を含んでいる。この水素は、プラズマ酸化

膜18形成後の他の工程における熱処理により酸化膜16中へ拡散されている。その結果、酸化膜16中で拡散されている水素と注入されたホットキャリアとが次の反応を起こす。



すなわち、式(3)に示されるように、電子 e^- および正孔 h^+ のホットキャリア同志の結合エネルギーが水素分子 H_2 の原子間の結合(結合エネルギーは約4.5 eV)を切る。切離された水素原子Hが酸化膜16直下の領域で次の反応を起こす。



その結果、界面準位となる Si^* (3価シリコン)が発生する。この反応におけるシリコンSiは基板(p型ベース層13およびn型エミッタ層15)に含まれる。ホットキャリアの注入によってアクセプタ型の界面準位が発生すると、酸化膜9直下のp型ベース層13とn型エミッタ層15との間の空乏層の幅Wが広がりやすくなる。その結果、式(2)に従って、空乏層間にかかる電界E強度が緩和され、ブレークダウン電圧 V_z が上

昇する。ブレークダウン電圧 V_z の上昇する場合は、酸化膜16直下のp型ベース層13の不純物濃度、プラズマ窒化膜18中の H_2 濃度、および電流密度などの条件により変化する。

第1図に示されたダイオードROMでは、第2図に示されたツェナーダイオードのプラズマ窒化膜18中の H_2 濃度を段階的に制御して設定することにより、ブレークダウン電圧 V_z の設定を行なう。

すなわち、このダイオードROMの書込工程において、レジストをマスクとしてツェナーダイオード3、4、および5ごとに H^+ イオンを濃度制御して注入する。その結果、前述のように、ツェナーダイオードごとにブレークダウン電圧 V_z の設定がなされる。

第3図は、この発明の別の実施例を示すツェナーダイオードROMの回路図である。第3図を参照して、このダイオードROMは、第1図に示された回路に加えて、カラムアドレス信号CA0ないしCAmを受けるように接続されたカラムデコ

ード2cを含む。センスアンプ21は、カラムデコード2cから出力された信号に反応して選択的に読出された信号を出力バッファ22に与える。したがって、ビット単位でメモリセルに記憶されたデータ信号が読出される。出力バッファ22はチップ選択信号CEに反応して読出されたデータ信号を出力する。

【発明の効果】

以上のように、この発明によれば、各メモリセルのツェナーダイオード手段ごとにブレークダウン電圧のレベルを制御して設定する手段を設け、そのレベルを検出する手段を設けたので、メモリセルに記憶されるデータ量が増加し、記憶可能なデータ容量が増加されたダイオード読出専用メモリ装置が得られた。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示すツェナーダイオード読出専用メモリの回路図である。第2図は、第1図に示された読出専用メモリ中で使用されるツェナーダイオードの構造を示す断面図で

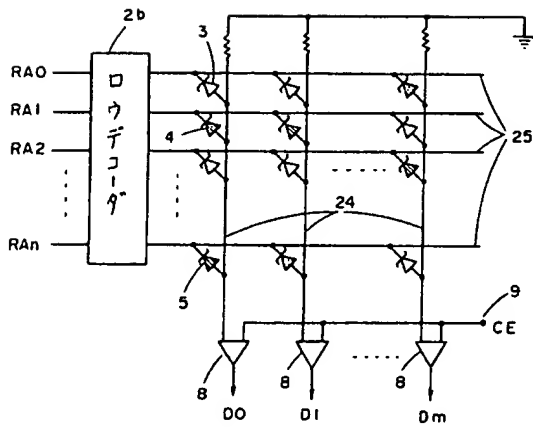
ある。第3図は、この発明の別の実施例を示すツェナーダイオード読出専用メモリの回路図である。第4図は、従来のダイオード読出専用メモリを示す回路図である。

図において、2aおよび2bはロウデコード、2cはカラムデコード、3、4、5はブレークダウン電圧の異なるツェナーダイオード、8、21はセンスアンプ、24はビット線、25はワード線である。

なお、図中、同一符号は同一または相当部分を示す。

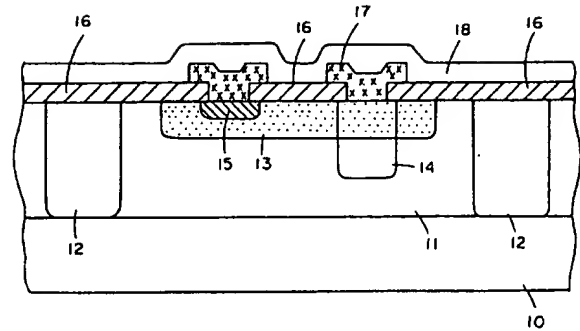
代理人 大 岩 地 雄

第1図



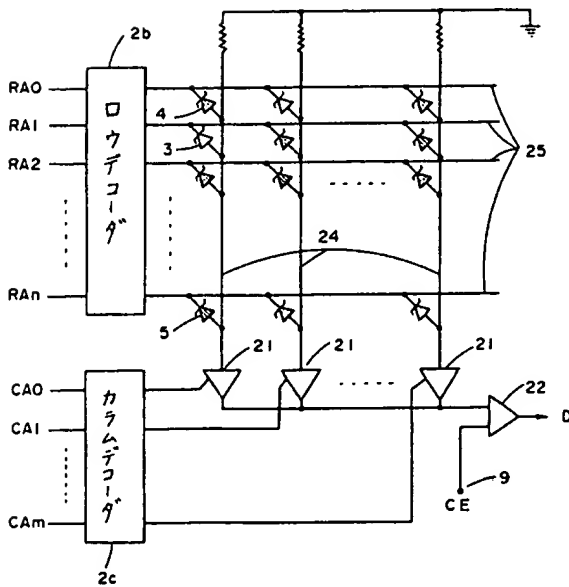
- 8 : センスアンプ
24 : ビット線
25 : ワード線

第2図



- 10 : P型シリコン基板
11 : n型エピタキシャル層
12 : P型分離層
13 : P型ベース層
14 : P+型板状層
15 : n型エミッタ層
16 : 酸化膜
17 : 金属配線
18 : プラズマ酸化膜

第3図



- 21 : センスアンプ
22 : 出力バッファ

第4図

